

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

#2  
Priority  
Paper

出 願 年 月 日  
Date of Application:

2000年10月24日

出 願 番 号  
Application Number:

特願2000-323924

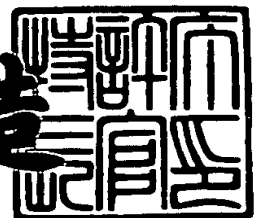
出 願 人  
Applicant(s):

富士通株式会社  
富士通ヴィエルエスアイ株式会社

2000年12月22日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3107205

【書類名】 特許願

【整理番号】 0040797

【提出日】 平成12年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/07

【発明の名称】 チャージポンプ回路

【請求項の数】 7

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 鈴木 久雄

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 安河内 克之

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【特許出願人】

    【識別番号】 000237617

    【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

    【識別番号】 100068755

    【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

    【弁理士】

    【氏名又は名称】 恩田 博宣

    【電話番号】 058-265-1810

【選任した代理人】

    【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8  
階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 チャージポンプ回路

【特許請求の範囲】

【請求項 1】 第 1 の電源電圧が供給されるとともに、コンデンサの第 1 の電極に接続され該コンデンサの充電を制御する充電制御回路を備えたチャージポンプ回路において、

前記充電制御回路よりも先に前記コンデンサの第 1 の電極に供給される前記第 1 の電源電圧を制限する電流制限回路を備えたことを特徴とするチャージポンプ回路。

【請求項 2】 第 1 の電極と第 2 の電極とを有し、該第 2 の電極に第 1 の信号が供給されるコンデンサと、

入力端子が第 1 の電圧源に接続され、高電位側端子と低電位側端子とが前記第 1 の電極と前記第 2 の電極とに接続される第 1 のインバータ回路と、

前記第 1 の電圧源と前記第 1 の電極との間に接続され、前記コンデンサの充電を制御する充電制御回路とを備えたチャージポンプ回路において、

前記第 1 の電圧源と前記充電制御回路との間に電流の流れを制限する電流制限回路を設けたことを特徴とするチャージポンプ回路。

【請求項 3】 前記電流制限回路の制御を、前記充電制御回路の制御とは異なるタイミングにて実行させたことを特徴とする請求項 2 記載のチャージポンプ回路。

【請求項 4】 前記充電制御回路は PMOS トランジスタであり、そのゲートは前記 CMOS インバータの信号出力端子に接続されている請求項 1 ～ 3 のうちの何れか一項記載のチャージポンプ回路。

【請求項 5】 前記電流制御回路は PMOS トランジスタであり、そのゲートには前記第 1 の信号が入力されていることを特徴とする請求項 1 ～ 4 のうちの何れか一項記載のチャージポンプ回路。

【請求項 6】 前記第 1 の電圧源と第 2 の電圧源が高電位側及び低電位側電

源端子に接続され、入力信号に応答して前記第 1 の信号を出力する第 2 のインバータ回路を備えたことを特徴とする請求項 1 ～ 4 のうちの何れか一項記載のチャージポンプ回路。

【請求項 7】 前記電流制御回路は第 2 の PMOS トランジスタと第 3 のインバータ回路から構成され、該第 3 のインバータ回路には前記入力信号が入力され、前記第 2 の PMOS トランジスタのゲートは前記第 3 のインバータ回路の信号出力端子に接続されていることを特徴とする請求項 6 記載のチャージポンプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は入力信号の電圧を昇圧させて出力するチャージポンプ回路に関するものである。

【0002】

近年の半導体集積回路装置においては、高集積化及び開発期間の短縮が要求され、それらに対応するために例えばマクロセルなどの基本データが多く利用されるようになってきている。それら基本データの動作電源電圧は、作成された時の仕様によって異なる場合がある。また、高速化や低消費電力化のために低い電源電圧にて使用されることがある。

【0003】

これらのため、半導体集積回路装置には異なる複数の電源電圧が供給され、あるいは装置内部にて供給された駆動電源から異なる電圧が生成される。そして、低い第 1 の電源電圧で動作する第 1 の回路から高い第 2 の電源電圧で動作する第 2 の回路へ信号を受け渡すために、その信号の振幅を変更するレベル変換回路が必要となる。また、第 1 の電源電圧と第 2 の電源電圧の電位差が大きい場合、それらの電源電圧の間の第 2 の電源電圧を生成する電圧生成回路が必要となる。

【0004】

近年、レベル変換回路や電圧変換回路に入力信号の電圧を昇圧させて出力するチャージポンプ回路が用いられるようになってきている。チャージポンプ回路は

入力信号によってチャージポンピングコンデンサを駆動し、入力信号の電圧より高い電圧を持つ出力信号を得る。このような用途に用いられるチャージポンプ回路は、入力信号の低電圧化により出力信号の応答速度（レベル変換の速度）が低下するため、その速度低下を防ぐことが求められている。

【0005】

【従来の技術】

図6は、従来のチャージポンプ回路10の回路図である。

チャージポンプ回路10は、第1及び第2インバータ回路11、12、コンデンサC1、PチャネルMOSトランジスタQ1から構成される。

【0006】

第1インバータ回路11は高電位側及び低電位側電源端子が高電位電源VD及びグランドGNDに接続され、入力信号VINが入力される。第1インバータ回路11の出力端子は、第2インバータ回路12の低電位側電源端子に接続される。

【0007】

第2インバータ回路12は、高電位側電源端子が逆流防止回路としてのPチャネルMOSトランジスタQ1を介して高電位電源VDに接続され、高電位側及び低電位側電源端子にはコンデンサC1の両端子が接続される。第2インバータ回路12の入力端子は高電位電源VDに接続され、出力端子から出力信号VOUTを出力する。

【0008】

入力信号VINの電圧が高電位電源VDの電圧と等しい時、第1インバータ回路11の出力信号の電圧V1はグランドGNDと等しい電位（GNDレベル）になる。第2インバータ回路12の入力端子には高電位電源VDが供給されその電源電圧（VDレベル）のため、出力信号VOUTはGNDレベルとなり、PMOSトランジスタQ1はオンとなる。コンデンサC1は、オンしたPMOSトランジスタQ1により高電位電源VDから充電され、PMOSトランジスタQ1とコンデンサC1との間のノードN1の電圧V2はVDレベルまで上昇する。

【0009】

入力信号  $V_{IN}$  の電圧がグランド  $GND$  との電圧と等しくなると、第 1 インバータ回路 11 の出力信号の電圧  $V_1$  は図 7 に示すように  $V_D$  レベルになる。すると、ノード  $N_1$  の電位はコンデンサ  $C_1$  は充電された電荷により第 1 インバータ回路 11 の出力信号電圧  $V_1$  より  $V_D$  レベルだけ持ち上げられ、2 倍の  $V_D$  レベル ( $V_2 = 2 \times V_D$ ) となる。

#### 【0010】

第 2 インバータ回路 12 は、低電位側電源端子に供給される電圧  $V_1$  ( $= V_D$ ) と、高電位側電源端子に供給される電圧  $V_2$  ( $= 2 \times V_D$ ) により動作する。そして、入力端子の電位が低電位側電源端子に供給される電圧  $V_1$  と等しい ( $= V_D$ ) であるため、第 2 インバータ回路 12 は、高電位側電源端子に供給される電圧  $V_2$  と等しい、即ち高電位電源  $V_D$  の 2 倍の電圧 ( $= 2 \times V_D$ ) を持つ出力信号  $V_{OUT}$  を出力する。この時、PMOS トランジスタ  $Q_1$  は、出力信号  $V_{OUT}$  がゲートに供給されるためオフする。

#### 【0011】

##### 【発明が解決しようとする課題】

ところで、入力信号  $V_{IN}$  の電圧を  $V_D$  レベルから  $GND$  レベル値へと変化させたとき、コンデンサ  $C_1$  は第 1 インバータ回路 11 の出力信号の電圧  $V_1$  が  $V_D$  レベルに上昇することによりノード  $N_1$  の電位を上昇させる。これに対し、第 2 インバータ回路 12 の出力信号の変化は、その第 2 インバータ回路 12 の動作分だけ遅れる。従って、ノード  $N_1$  の電圧  $V_1$  が持ち上げられるときに PMOS トランジスタ  $Q_1$  がオンしているため、そのトランジスタ  $Q_1$  によってコンデンサ  $C_1$  から電荷が抜けることによりノード  $N_1$  の電圧上昇速度が低下する。これにより、第 2 インバータ回路 12 の出力  $V_{OUT}$  の  $L_o/H_i$  の切り替り速度（入力信号  $V_{IN}$  に対応する応答速度）が低下してしまう。

#### 【0012】

上記のチャージポンプ回路 10 を従来の使用目的である高電圧駆動に適用した場合には、コンデンサ  $C_1$  の容量値を PMOS トランジスタ  $Q_1$  から抜ける電荷に対して十分なマージンを持たせる（容量値を大きくする）ことで対応していた。

## 【 0 0 1 3 】

一方、半導体集積回路装置へ適用する場合、コンデンサC1をチップ上に形成しなければならない。しかしながら、十分なマージンを持つように容量値の大きなコンデンサをチップ上に形成することは困難であった。

## 【 0 0 1 4 】

本発明は上記問題点を解決するためになされたものであって、その目的は昇圧効率が良く、応答速度の速いチャージポンプ回路を提供することにある。

## 【 0 0 1 5 】

## 【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、第1の電源電圧が供給されるとともに、コンデンサの第1の電極に接続され該コンデンサの充電を制御する充電制御回路を備えたチャージポンプ回路において、前記充電制御回路よりも先に前記コンデンサの第1の電極に供給される前記第1の電源電圧を制限する電流制限回路を備えた。従って、コンデンサから第1の電圧源への漏れ電流を電流制限回路により制限することで、昇圧効率を向上させる。

## 【 0 0 1 6 】

また、請求項2に記載の発明は、第2の電極に第1の信号が供給されるコンデンサと、第1の電圧源とコンデンサの第1の電極との間に接続され、前記コンデンサの充電を制御する充電制御回路とを備えたチャージポンプ回路において、前記第1の電圧源と充電制御回路との間に電流の流れを制限する電流制限回路を設けた。従って、第1の信号によるコンデンサのレベルシフト時に、そのコンデンサから第1の電圧源への漏れ電流を電流制限回路により制限することで、昇圧効率を向上させる。

## 【 0 0 1 7 】

前記電流制限回路の制御は、請求項3に記載の発明のように、前記充電制御回路の制御とは異なるタイミングにて実行させる。これにより、漏れ電流を制限する。

## 【 0 0 1 8 】

請求項4に記載の発明のように、前記充電制御回路はPMOSトランジスタであ



り、そのゲートは前記CMOSインバータの信号出力端子に接続されている。これにより、出力信号により充電を容易に制御する。

【0019】

請求項5記載の発明のように、前記電流制御回路はPMOSトランジスタであり、そのゲートには前記第1の信号が入力されている。第1の信号は出力信号より早く変化し、電流制御回路が充電制御回路より早くオフして漏れ電流を制限する。

【0020】

請求項6記載の発明のように、前記第1の電圧源と第2の電圧源が高電位側及び低電位側電源端子に接続され、入力信号に応答して前記第1の信号を出力する第2のインバータ回路を備えた。

【0021】

請求項7記載の発明のように、前記電流制御回路は第2のPMOSトランジスタと第3のインバータ回路から構成され、該第3のインバータ回路には前記入力信号が入力され、前記第2のPMOSトランジスタのゲートは前記第3のインバータ回路の信号出力端子に接続されている。第3のインバータ回路は第2のインバータ回路より軽負荷であるため、その第3の出力信号は第1の信号より早く変化し、電流制御回路が充電制御回路より早くオフして漏れ電流を制限する。

【0022】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図1～図4に従って説明する。尚、説明の便宜上、従来技術と同様の構成については同一の符号を付してその説明を一部省略する。

【0023】

図1は、本実施形態のチャージポンプ回路20の回路図である。

チャージポンプ回路20は、第1及び第2インバータ回路11、12、コンデンサC1、PチャネルMOSトランジスタQ1、電流制限回路21から構成される。

## 【 0 0 2 4 】

第 1 インバータ回路 1 1 は高電位側及び低電位側電源端子が高電位電源 V D 及びグランド G N D に接続され、入力信号 V I N が入力される。第 1 インバータ回路 1 1 の出力端子は、第 2 インバータ回路 1 2 の低電位側電源端子に接続される。

## 【 0 0 2 5 】

第 2 インバータ回路 1 2 は、高電位側電源端子が充電制御回路としての P M O S トランジスタ Q 1 の第 1 の端子に接続され、その P M O S トランジスタ Q 1 の第 2 の端子は電流制限回路 2 1 を介して高電位電源 V D に接続されている。第 2 インバータ回路 1 2 の高電位側及び低電位側電源端子にはコンデンサ C 1 の両端子が接続される。第 2 インバータ回路 1 2 の入力端子は高電位電源 V D に接続され、出力端子から出力信号 V O U T を出力する。

## 【 0 0 2 6 】

電流制限回路 2 1 は、入力される制御信号 S 1 に応答してオン・オフする。制御信号 S 1 は、少なくとも電流制限回路 2 1 が P M O S トランジスタ Q 1 よりも早くオフするように生成され供給される。

## 【 0 0 2 7 】

入力信号 V I N が H レベル（高電位電源 V D レベル）の時、第 1 インバータ回路 1 1 の出力信号電圧 V 1 はグランド G N D レベルとなり、第 2 インバータ回路 1 2 の出力信号 V O U T は G N D レベルとなる。出力信号 V O U T によってゲート電圧を制御される P M O S トランジスタ Q 1 はオンとなる。

## 【 0 0 2 8 】

この時、電流制限回路 2 1 を制御信号 S 1 により開放状態とすることで、コンデンサ C 1 は P M O S トランジスタ Q 1 を介して高電位電源 V D により充電され、ノード N 1 の電圧 V 2 は高電位電源 V D の電圧レベルまで上昇する。

## 【 0 0 2 9 】

入力信号 V I N を L レベル（グランド G N D レベル）へ切り替えると、第 1 インバータ回路 1 1 の出力信号電圧 V 1 は高電位電源 V D レベルとなり、コンデンサ C 1 に充電された電荷によりノード N 1 の電位が持ち上げられ、そのノード N

1 の電圧  $V_2$  は 2 倍の電圧 ( $= 2 \times V_D$ ) となる。

【 0 0 3 0 】

この出力信号  $V_{OUT}$  の上昇の際に、電流制限回路 2 1 を制御信号  $S_1$  によって閉じることにより、コンデンサ  $C_1$  から高電位電源  $V_D$  への電流の流れを遮断する。

【 0 0 3 1 】

これにより、ノード  $N_1$  の電位上昇開始時に PMOS トランジスタ  $Q_1$  はオフとなっていないが、電流制限回路 2 1 による電流経路遮断によってコンデンサ  $C_1$  に充電された電荷が高電位電源  $V_D$  に逆流することがない。このため、ノード  $N_1$  の電位は、第 1 インバータ回路 1 1 の出力信号電圧  $V_1$  よりの出力信号電圧  $V_1$  の電圧上昇分と同一な電圧だけ上昇する。

【 0 0 3 2 】

このため、本実施形態のチャージポンプ回路 2 0 では、従来回路に比べ第 2 インバータ回路 1 2 が入力端子の電位を L レベルと認識するのに必要な電圧まで高電位側電源端子の電位が上昇するまでの時間が短縮される。それにより、入力信号  $V_{IN}$  の変化に対する第 2 インバータ回路 1 2 の出力信号  $V_{OUT}$  の L o / H i の切り替え速度が向上する。

【 0 0 3 3 】

制御信号  $S_1$  は出力信号  $V_{OUT}$  より早く変化する信号を用いればよく、例えば、本実施形態では、第 1 インバータ回路 1 1 の出力信号を用いている。即ち、電流制限回路 2 1 は、図 2 に示すように、第 2 PMOS トランジスタ  $Q_2$  から構成され、そのゲートは第 1 インバータ回路 1 1 の出力端子に接続されている。即ち、第 2 PMOS トランジスタ  $Q_2$  には、第 1 インバータ回路 1 1 の出力電圧  $V_1$  がゲート電圧として印加される。従って、第 2 PMOS トランジスタ  $Q_2$  は、図 1 の制御信号  $S_1$  として第 1 インバータ回路 1 1 の出力信号に応答してオン・オフする。

【 0 0 3 4 】

この第 1 インバータ回路 1 1 の出力信号の電圧  $V_1$  の変化は、図 3 に示すように、出力電圧  $V_{OUT}$  の変化に比べて早い。従って、第 2 PMOS トランジスタ

Q 2 は、第 1 P M O S トランジスタ Q 1 より早くオフする。

【 0 0 3 5 】

この様に、本実施形態では、電流制限回路として P M O S トランジスタ Q 2 を挿入したことにより、入力信号 V I N が H レベルから L レベルへ移行する際にコンデンサ C 1 から高電位電源 V D へ漏れる電流を減少させる。その結果、出力信号 V O U T の電圧上昇速度が従来回路に比べて早くなり、出力信号が変化した時刻 t 0 から出力電圧 V O U T がノード N 1 の電圧 V 2 とほぼ等しくなる時刻 t 2 までの時間（従来回路においては図 7 の時刻 t 0 から時刻 t 1）が短くなる。即ち、本実施形態のチャージポンプ回路 2 0 は、従来のチャージポンプ回路 1 0 に比べて、入力信号 V I N に応答して出力信号 V O U T を変更するその応答速度を向上させている。

【 0 0 3 6 】

尚、電流制限回路 2 1 を構成する第 2 P M O S トランジスタ Q 2 を完全にオフさせるためには、そのトランジスタ Q 2 のゲートに第 1 P M O S トランジスタ Q 1 を介して接続されるノード N 1 と同一な電圧値である 2 倍の V D レベルを印加する必要があるが、第 1 インバータ回路 1 1 の出力信号電圧 V 1 は V D レベルまでしか上昇しない。しかし、図 4 に示すように、M O S トランジスタのゲートソース間電圧（V G S）ードレイン電流（I D）特性は 2 次曲線を描きく。尚、図 4 の特性の縦軸は、ゲートーソース間電圧（V G S）とソースードレイン間電圧（V D S）とが等しい時のドレイン電流（I D）を 1 0 0 % として換算したときのドレイン電流である。また、横軸は、ソースードレイン間電圧（V D S）に対するソースーゲート間電圧（V G S）の割合（%）である。

【 0 0 3 7 】

この特性のように、M O S トランジスタは、5 0 % のゲート電圧によりドレイン電流を 9 0 % 以上遮断する。従って、第 2 P M O S トランジスタ Q 2 は、従来回路に比べてコンデンサ C 1 から高電位電源 V D への電流漏れを減少させ、出力電圧 V O U T の電圧上昇速度を向上している。

【 0 0 3 8 】

尚、図 2 の第 1 及び第 2 P M O S トランジスタ Q 1 , Q 2 に代えてダイオード

を用いることが考えられ、そのようなチャージポンプ回路は高電圧駆動には適している。しかし、ダイオードを用いたチャージポンプ回路は、本実施形態を適用する半導体集積回路装置のレベル変換などの用途には使用できない。それは、ダイオードの順方向電圧によってノードN1の電位が高電位電源VDより低くなり、昇圧効率が悪くなるからである。

## 【0039】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 高電位電源VDと第1PMOSトランジスタQ1との間に電流制限回路21を設けた。そして、第1インバータ回路11の出力信号によりコンデンサC1をレベルシフトして該コンデンサC1の第1の電極電圧V2を高電位電源VDの電圧より昇圧し、そのコンデンサC1の第1及び第2の電極が電源端子に接続された第2インバータ回路12から昇圧した電圧V2を持つ出力信号VOUTを出力する。その結果、コンデンサC1のレベルシフト時に、そのコンデンサC1から高電位電源VDへの漏れ電流を電流制限回路21により制限することで、昇圧効率を向上させることができる。これにより出力信号VOUTの応答速度が向上する。

## 【0040】

(2) 電流制限回路21を第2PMOSトランジスタQ2から構成し、そのゲートに第1インバータ回路11の出力信号を供給した。その結果、第1インバータ回路11の出力信号は第2インバータ回路12の出力信号VOUTより早く変化するため、第1PMOSトランジスタQ1より第2PMOSトランジスタQ2を先にオフさせ、漏れ電流を少なくすることができる。

## 【0041】

(3) チャージポンプ回路20は、第2インバータ回路12の低電位側電源端子に第1インバータ回路11の出力信号を供給し、高電位側電源端子にその出力信号をVDレベルだけ上昇させたノードN1の電圧V2を供給している。従って、第2インバータ回路12の高電位側及び低電位側電源端子の電位差を、高電位電源VDとグランドGNDとの電位差にすることができる。また、各PMOSトランジスタQ1、Q2の各端子間には、高電位電源VDとグランドGNDとの電

位差以上が加わらない。その結果、チャージポンプ回路 20 は、高電位電源 V D とグラウンド G N D との間の電位差に対応する素子にて構成されればよく、各素子のサイズの増加を抑えてチャージポンプ回路 20 の面積増加を抑えることができる。

#### 【 0 0 4 2 】

##### (第二実施形態)

以下、本発明を具体化した第二実施形態を図 5 に従って説明する。

尚、説明の便宜上、図 1，図 2 と同様の構成については同一の符号を付してその説明を一部省略する。

#### 【 0 0 4 3 】

図 5 は、本実施形態のチャージポンプ回路 30 の回路図である。

チャージポンプ回路 30 は、第 1 及び第 2 インバータ回路 11，12、コンデンサ C1、Pチャネル MOS トランジスタ Q1、電流制限回路 31 から構成される。

#### 【 0 0 4 4 】

電流制限回路 31 は、第 3 インバータ回路 32 と第 2 Pチャネル MOS トランジスタ Q2 から構成される。第 3 インバータ回路 32 には入力信号 V I N が制御信号 S1 として入力され、出力端子は第 2 P M O S トランジスタ Q2 のゲートに接続されている。従って、第 2 P M O S トランジスタ Q2 のゲートには、入力信号 V I N を第 3 インバータ回路 32 により反転した制御信号 S2 が入力される。第 2 P M O S トランジスタ Q2 は第 1 P M O S トランジスタ Q1 と高電位電源 V D の間に接続されている。このように、電流制限回路 31 は、入力信号 V I N に応答して第 2 P M O S トランジスタ Q2 をオン・オフする。

#### 【 0 0 4 5 】

第 1 インバータ回路 11 が第 2 インバータ回路 12 及びコンデンサ C1 を負荷としているのに対し、第 3 インバータ回路 32 は第 2 P M O S トランジスタ Q2 のみを負荷としている。従って、第 3 インバータ回路 32 は、第 1 インバータ回路 11 より軽負荷である。

#### 【 0 0 4 6 】

これにより、第 3 インバータ回路 3 2 の動作速度は第 1 インバータ回路 1 1 に対し高速なものとなり、第 3 インバータ回路 3 2 が出力する制御信号 S 2 の変化は、第 1 インバータ回路 1 1 の出力信号の変化に比べて早い。従って、本実施形態のチャージポンプ回路 3 0 は、第一実施形態のチャージポンプ回路 2 0 より出力信号 V O U T の電圧上昇速度を向上している。

【 0 0 4 7 】

以上記述したように、本実施形態によれば、第一実施形態の効果に加えて以下の効果を奏する。

( 1 ) 電流制限回路 3 1 を第 3 インバータ回路 3 2 と第 2 P M O S トランジスタ Q 2 から構成し、第 3 インバータ回路 3 2 に入力信号 V I N を入力し、その第 3 インバータ回路 3 2 の出力信号にて第 2 P M O S トランジスタ Q 2 をオン・オフさせるようにした。第 3 インバータ回路 3 2 は第 1 インバータ回路 1 1 より軽負荷であるため、その第 3 インバータ回路 3 2 の出力信号は第 1 インバータ回路 1 1 の出力信号より早く変化する。その結果、第 2 P M O S トランジスタ Q 2 が第 1 P M O S トランジスタ Q 1 より早くオフして漏れ電流を制限するため、昇圧効率が良くなり、出力信号 V O U T の電圧上昇速度、即ち応答速度を向上させることができる。

【 0 0 4 8 】

尚、前記実施形態は、以下の態様に変更してもよい。

・上記第一実施形態において、第 1 インバータ回路 1 1 を省略した構成にて実施してもよい。

【 0 0 4 9 】

・上記各実施形態において、充電制御回路及び電流制限回路として P M O S トランジスタを用いたが、それらの回路構成を適宜変更して実施してもよい。

【 0 0 5 0 】

【発明の効果】

以上詳述したように、本発明によれば、昇圧効率が良く、応答速度の速いチャージポンプ回路を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態のチャージポンプ回路の回路図である。

【図 2】 第一実施形態のチャージポンプ回路の回路図である。

【図 3】 チャージポンプ回路の動作波形図である。

【図 4】 MOS トランジスタの特性図である。

【図 5】 第二実施形態のチャージポンプ回路の回路図である。

【図 6】 従来のチャージポンプ回路の回路図である。

【図 7】 従来例の動作波形図である。

【符号の説明】

1 1 第 2 のインバータ回路

1 2 第 1 のインバータ回路

2 1, 3 1 電流制限回路

3 2 第 3 のインバータ回路

C 1 コンデンサ

Q 1 充電制御回路としての PMOS トランジスタ

Q 2 第 2 の PMOS トランジスタ

V I N 入力信号

V O U T 出力信号

V D 第 1 の電圧源

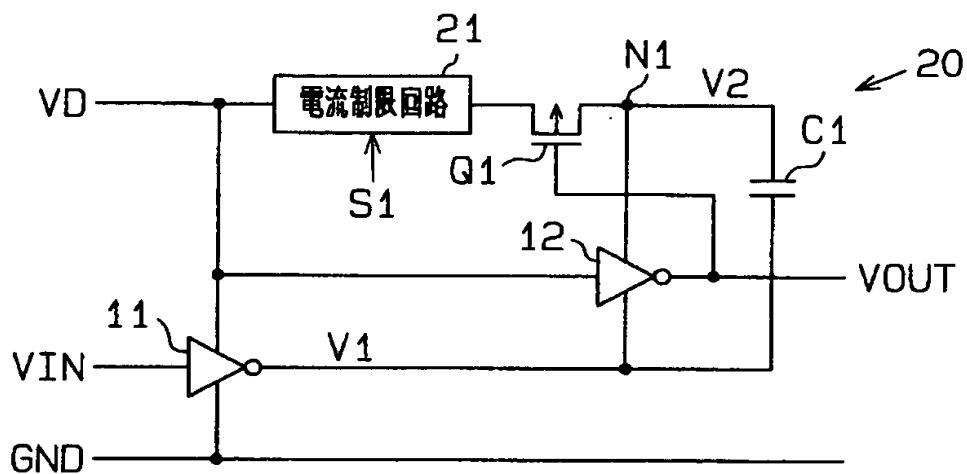
G N D 第 2 の電圧源



【書類名】 図面

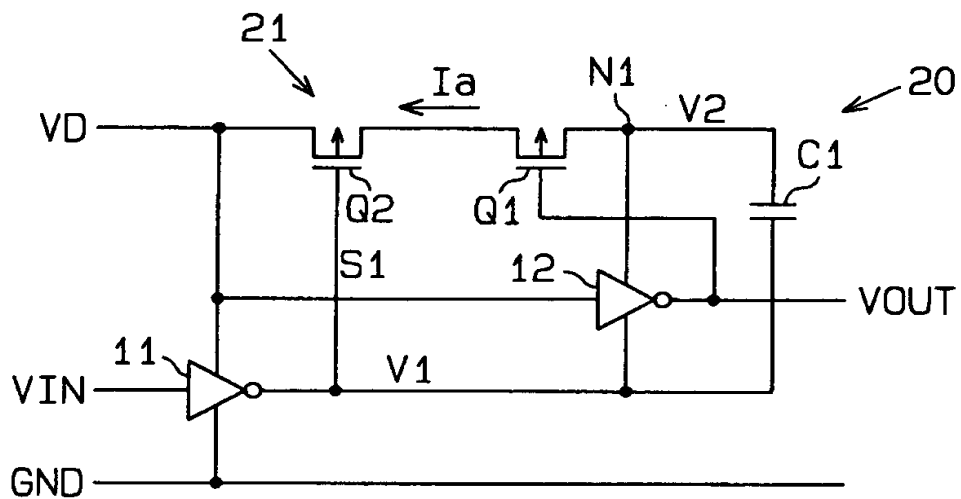
【図 1】

第一実施形態のチャージポンプ回路の回路図



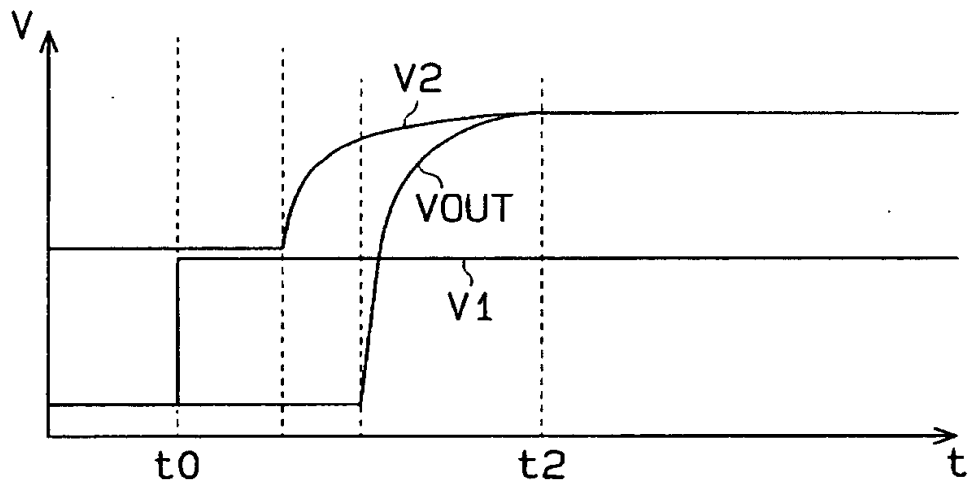
【図 2】

第一実施形態のチャージポンプ回路の回路図



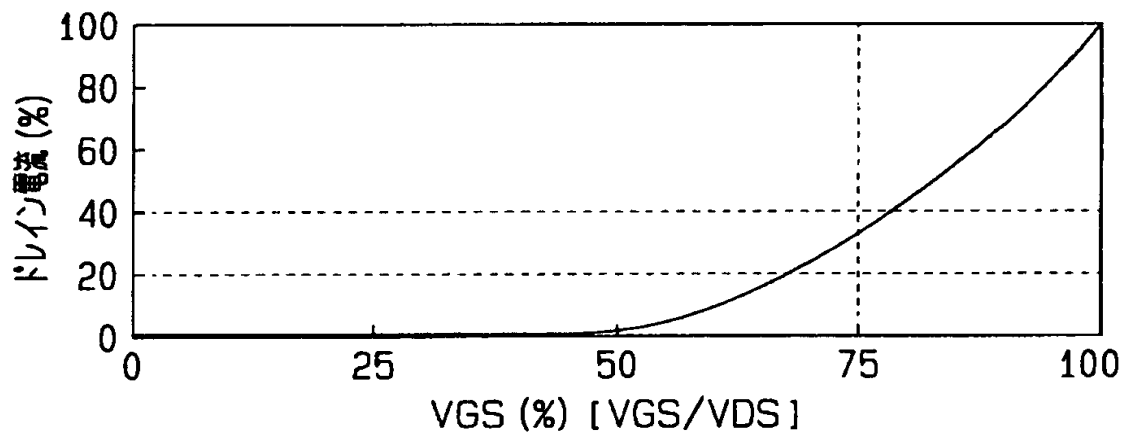
【図 3】

チャージポンプ回路の動作波形図



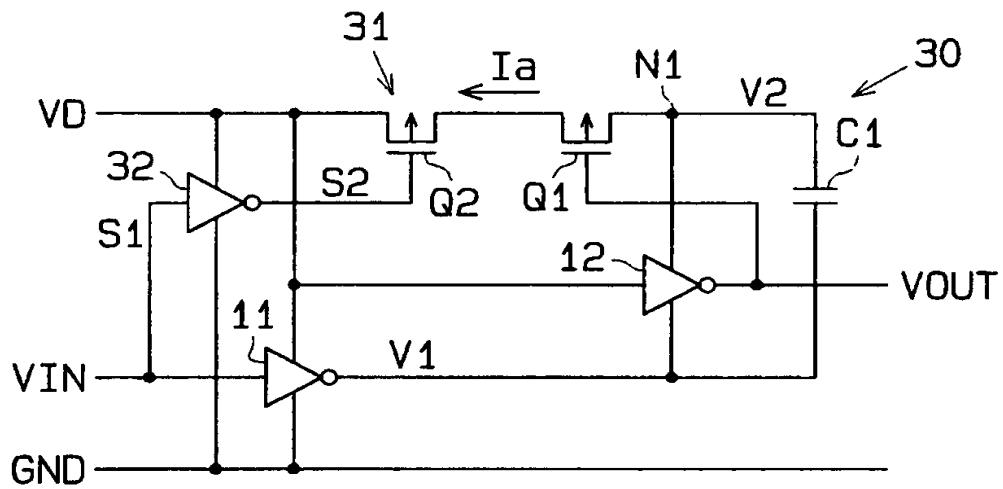
【図 4】

MOSトランジスタの特性図



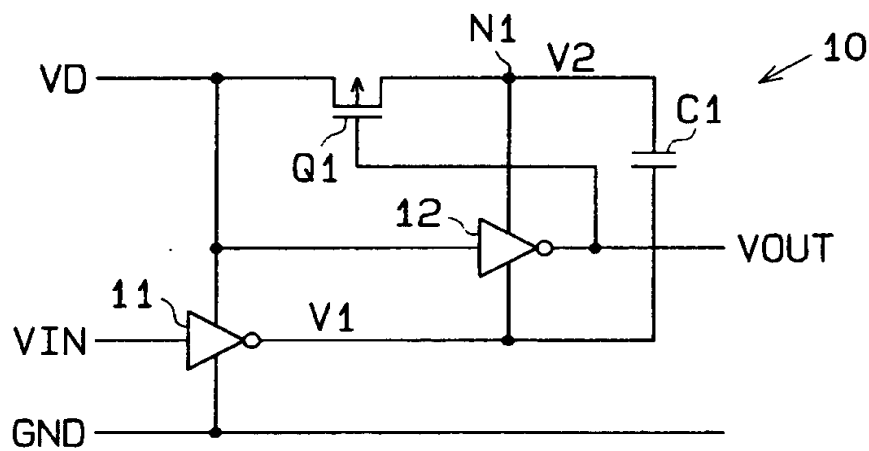
【図 5】

第2実施形態のチャージポンプ回路の回路図



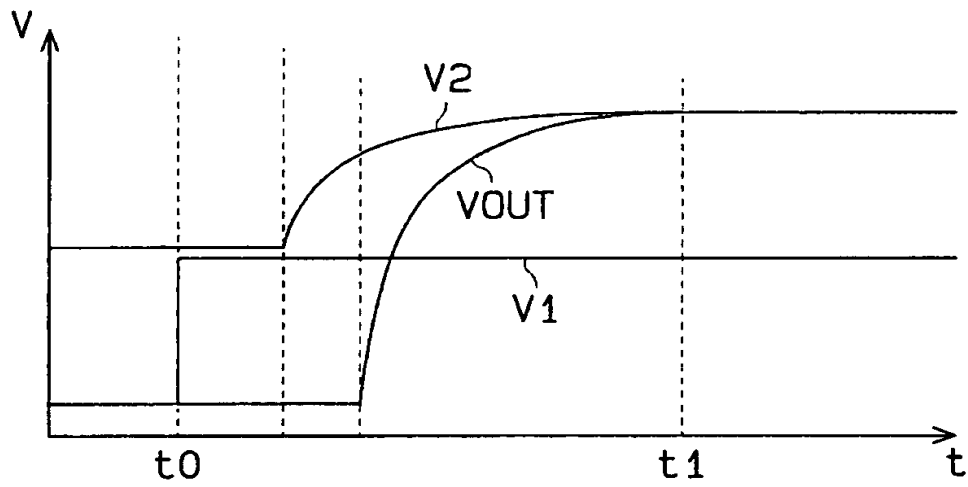
【図 6】

従来のチャージポンプ回路の回路図



【図 7】

従来例の動作波形図



【書類名】 要約書

【要約】

【課題】昇圧効率が良く、応答速度の速いチャージポンプ回路を提供すること。

【解決手段】高電位電源VDと第1PMOSトランジスタQ1との間に電流制限回路21を設けた。そして、第1インバータ回路11の出力信号によりコンデンサC1をレベルシフトして該コンデンサC1の第1の電極電圧V2を高電位電源VDの電圧より昇圧し、そのコンデンサC1の第1及び第2の電極が電源端子に接続された第2インバータ回路12から昇圧した電圧V2を持つ出力信号VOU  
Tを出力する。電流制限回路21は、コンデンサC1のレベルシフト時に、そのコンデンサC1から高電位電源VDへの漏れ電流を制限する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 7 6 1 7 ]

1. 変更年月日	1 9 9 0 年 9 月 6 日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社